

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-032307

(43)Date of publication of application : 03.02.1998

(51)Int.Cl. H01L 25/065
H01L 25/07
H01L 25/18
H01L 21/50
H01L 21/60
H01L 21/60
H01L 21/66

(21)Application number : 09-013780

(71)Applicant : MATSUSHITA ELECTRIC IND CO
LTD

(22)Date of filing : 28.01.1997

(72)Inventor : FUJIMOTO HIROAKI
TAKEHASHI NOBUITSU
OTSUKA TAKASHI

(30)Priority

Priority number : 08 30301
08117588Priority date : 19.02.1996
13.05.1996

Priority country : JP

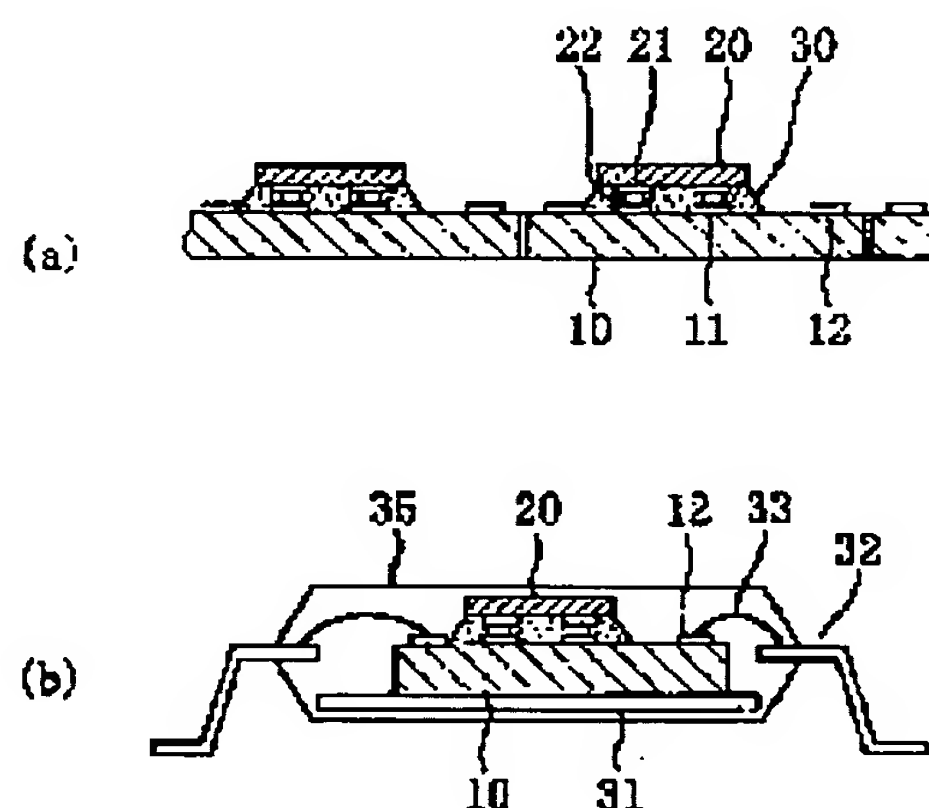
JP

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To improve reliability and yield of semiconductor devices, by reducing hardening and shrinking force and thermal stress of a package added to a junction between first and second semiconductor chips.

SOLUTION: A semiconductor device is provided with a first square semiconductor chip 10 having a first LSI, a second square semiconductor chip 20 which has a second LSI, is smaller than the first semiconductor chip 10 and is connected to the first semiconductor chip 10 by a face down method, and a square resin package 30 which seals the first and the second semiconductor chips 10 and 20. In this case, the center of the first semiconductor chip 10 and that of the second semiconductor chip 20 are offset to each other and the center of the second semiconductor chip 20 and that of the resin 30 for sealing almost match with each other.



LEGAL STATUS

[Date of request for examination]

12.05.2000

[Date of sending the examiner's decision of
rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開平10-32307

(43) 公開日 平成10年(1998) 2月3日

(51) Int.Cl. ⁹	識別記号	庁内整理番号	F · I	技術表示箇所
H 0 1 L 25/065			H 0 1 L 25/08	B
25/07			21/50	A
25/18			21/60	3 0 1 B
21/50				3 1 1 Q
21/60	3 0 1		21/66	E
審査請求 未請求 請求項の数 7 O L (全 12 頁) 最終頁に続く				

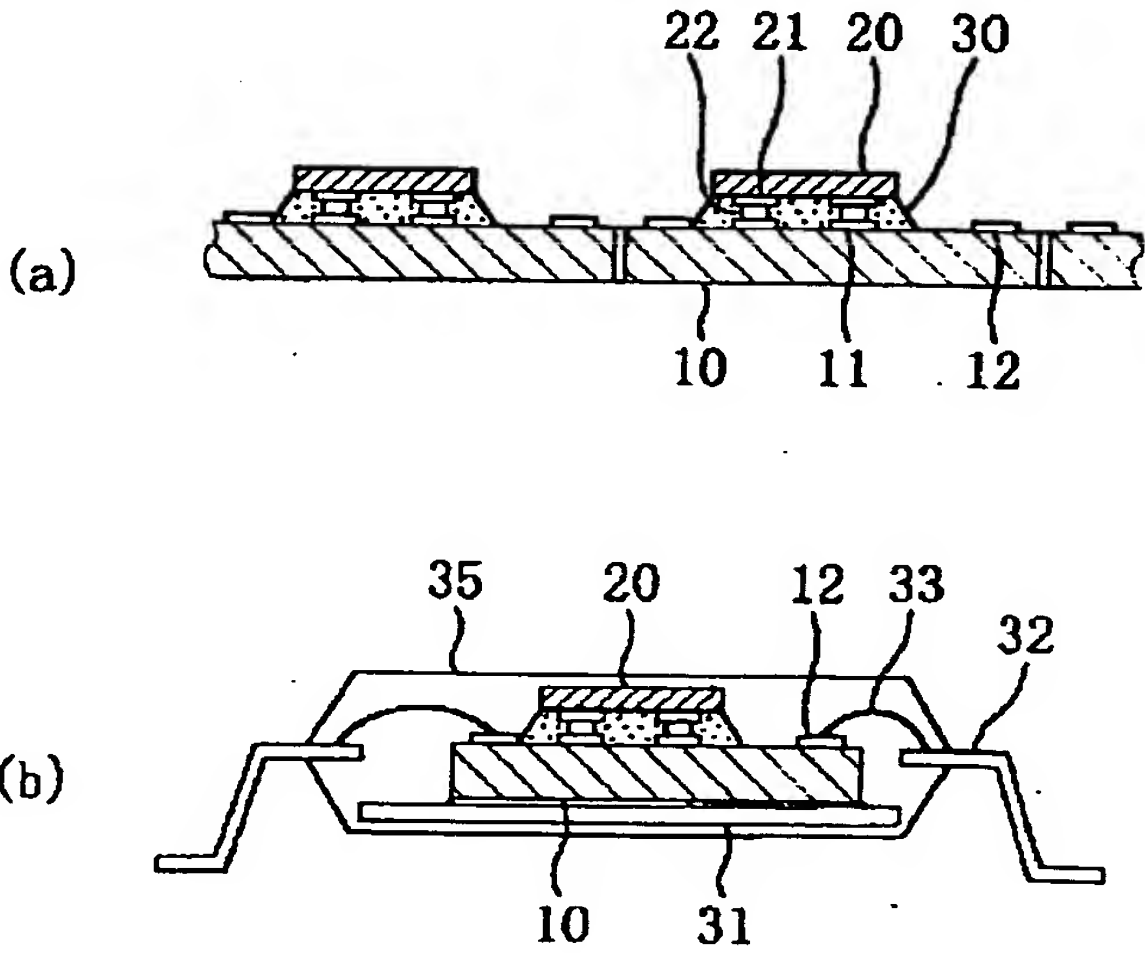
(21) 出願番号	特願平9-13780	(71) 出願人	000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地
(22) 出願日	平成9年(1997) 1月28日	(72) 発明者	藤本 博昭 大阪府門真市大字門真1006番地 松下電器産業株式会社内
(31) 優先権主張番号	特願平8-30301	(72) 発明者	竹橋 信逸 大阪府門真市大字門真1006番地 松下電器産業株式会社内
(32) 優先日	平8(1996) 2月19日	(72) 発明者	大塚 隆 大阪府門真市大字門真1006番地 松下電器産業株式会社内
(33) 優先権主張国	日本 (J P)	(74) 代理人	弁理士 前田 弘 (外2名)
(31) 優先権主張番号	特願平8-117588		
(32) 優先日	平8(1996) 5月13日		
(33) 優先権主張国	日本 (J P)		

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 第1の半導体チップと第2の半導体チップとの接合部に加わるパッケージの硬化収縮力及び熱応力を低減して半導体装置の信頼性及び歩留まりを向上させる。

【解決手段】 半導体装置は、第1のLSIを有する正方形の第1の半導体チップ10と、第2のLSIを有すると共に第1の半導体チップ10よりも小さいチップサイズを有し、第1の半導体チップ10にフェイスダウン方式で接続された正方形の第2の半導体チップ20と、第1の半導体チップ10及び第2の半導体チップ20を封止している正方形の樹脂パッケージ30とを備えている。第1の半導体チップ10の中心部と第2の半導体チップ20の中心部とは互いにオフセットしていると共に、第2の半導体チップ20の中心部と封止用樹脂30の中心部とはほぼ一致している。



【特許請求の範囲】

【請求項 1】 第 1 の L S I を有する第 1 の半導体チップと、

第 2 の L S I を有すると共に前記第 1 の半導体チップよりも小さいチップサイズを有し、前記第 1 の半導体チップにフェイスダウン方式で接続された第 2 の半導体チップと、

前記第 1 の半導体チップ及び第 2 の半導体チップを封止しているパッケージとを備えており、

前記第 2 の半導体チップの互いに隣接する 2 側辺のうち同じ長さ又は短い方の長さを持つ第 1 の側辺が延びる第 1 の方向において、前記第 1 の半導体チップの中心部と前記第 2 の半導体チップの中心部とは互いにオフセットしていると共に前記第 2 の半導体チップの中心部と前記パッケージの中心部とはほぼ一致していることを特徴とする半導体装置。

【請求項 2】 前記第 2 の半導体チップの互いに隣接する 2 側辺のうち前記第 1 の側辺と異なる第 2 の側辺が延びる第 2 の方向において、前記第 1 の半導体チップの中心部と前記第 2 の半導体チップの中心部とは互いにオフセットしていると共に前記第 2 の半導体チップの中心部と前記パッケージの中心部とはほぼ一致していることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 第 1 の L S I を有する第 1 の半導体チップと、第 2 の L S I を有すると共に前記第 1 の半導体チップよりも小さいチップサイズを有する第 2 の半導体チップとをフェイスダウン方式により接続するチップ接続工程と、

互いに接続された前記第 1 の半導体チップ及び第 2 の半導体チップをパッケージにより封止するチップ封止工程とを備え、

前記チップ接続工程は、前記第 2 の半導体チップの互いに隣接する 2 側辺のうち同じ長さ又は短い方の長さを持つ第 1 の側辺が延びる第 1 の方向において、前記第 1 の半導体チップの中心部と前記第 2 の半導体チップの中心部とが互いにオフセットしていると共に前記第 2 の半導体チップの中心部と前記パッケージの中心部とがほぼ一致するように、前記第 1 の半導体チップと前記第 2 の半導体チップとを接続する工程を含むことを特徴とする半導体装置の製造方法。

【請求項 4】 前記チップ接続工程は、前記第 2 の半導体チップの互いに隣接する 2 側辺のうち前記第 1 の側辺と異なる第 2 の側辺が延びる第 2 の方向において、前記第 1 の半導体チップの中心部と前記第 2 の半導体チップの中心部とが互いにオフセットしていると共に前記第 2 の半導体チップの中心部と前記パッケージの中心部とがほぼ一致するように、前記第 1 の半導体チップと前記第 2 の半導体チップとを接続する工程を含むことを特徴とする請求項 3 に記載の半導体装置の製造方法。

【請求項 5】 第 1 の L S I を有する第 1 の半導体チップ

と、第 2 の L S I を有すると共に前記第 1 の半導体チップよりも小さいチップサイズを有する第 2 の半導体チップとがフェイスダウン方式により接続されてなる半導体装置の製造方法であつて、

前記複数の第 2 の半導体チップが形成されている半導体ウエハをダイシングして、前記複数の第 2 の半導体チップを互いに分離する第 1 のチップ分離工程と、

互いに分離された前記複数の第 2 の半導体チップを、前記複数の第 1 の半導体チップが形成されている半導体ウエハにおける前記複数の第 1 の半導体チップにフェイス

10 ダウン方式によりそれぞれ接続するチップ接続工程と、

互いに接続された前記複数の第 1 の半導体チップと前記複数の第 2 の半導体チップとの間に絶縁性樹脂をそれぞれ充填する樹脂充填工程と、

前記複数の第 1 の半導体チップが形成されている半導体ウエハをダイシングして、前記複数の第 1 の半導体チップを互いに分離する第 2 のチップ分離工程とを備えていることを特徴とする半導体装置の製造方法。

20 【請求項 6】 前記樹脂充填工程と前記第 2 のチップ分離工程との間に、前記第 2 の半導体チップにおける前記第 1 の半導体チップと対向する面と反対側の面を研磨するチップ研磨工程をさらに備えていることを特徴とする請求項 5 に記載の半導体装置の製造方法。

30 【請求項 7】 前記樹脂充填工程と前記第 2 のチップ分離工程との間に、前記第 1 の半導体チップにおける前記第 2 の半導体チップと対向する面に前記第 2 の半導体チップを囲む樹脂層を形成した後、前記第 2 の半導体チップにおける前記第 1 の半導体チップと対向する面と反対側の面を研磨するチップ研磨工程をさらに備えていることを特徴とする請求項 5 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、第 1 の L S I を有する第 1 の半導体チップと、第 2 の L S I を有する第 2 の半導体チップとがフェイスダウン方式で接続されてなる半導体装置及び該半導体装置の製造方法に関する。

【0002】

40 【従来の技術】近年、L S I 半導体装置の低コスト化及び小型化を図るために、互いに異なる機能を有する L S I 又は互いに異なるプロセスにより形成された L S I を有する半導体チップ同士がフェイスダウン方式で接合されてなる半導体装置が提案されている。

【0003】以下、前記従来の L S I 半導体装置について図 8 を参照しながら説明する。

50 【0004】まず、第 1 の L S I を有する第 1 の半導体チップ 110 の上に第 1 の内部電極 111 及びボンディングパッド 112 が形成されていると共に、第 2 の L S I を有する第 2 の半導体チップ 120 の上に第 1 の内部電極 121 が形成されており、第 1 の半導体チップ 110

の第1の内部電極111と第2の半導体チップ120の第2の内部電極121とは半田よりなるバンプ122を介して互いに電氣的に接続されている。また、第1の半導体チップ110と第2の半導体チップ120との間には絶縁性樹脂130が充填されており、第1の半導体チップ110と第2の半導体チップ120とはバンプ122及び絶縁性樹脂130によって一体化されている。

【0005】第1の半導体チップ110はリードフレームのダイパッド131に樹脂により固定されていると共に、第1の半導体チップ110のボンディングパッド112とリードフレームの外部リード132とはボンディングワイヤ133を介して電氣的に接続されている。第1の半導体チップ110、第2の半導体チップ120、ボンディングワイヤ133、ダイパッド131及び外部リード132の一部は封止用樹脂135によってパッケージされている。

【0006】以下、前記の半導体装置の製造方法について、図8及び図9を参照しながら説明する。

【0007】まず、図8及び図9に示すように、第1のLSIを有する第1の半導体チップ110の上に第1の内部電極111及びボンディングパッド112を形成すると共に、第2のLSIを有する第2の半導体チップ120の上に第2の内部電極121を形成した後、該第2の内部電極121の上に半田よりなるバンプ122を形成する。その後、第2の半導体チップ120が形成されているウエハをダイシングして、第2の半導体チップ120を互いに分離した後、各第2の半導体チップ120をウエハ状の第1の半導体チップ110の上に配置する。

【0008】次に、図9に示すように、第2の半導体チップ120のバンプ122と第1の半導体チップ110の第1の内部電極111とを接合した後、ウエハ状の第1の半導体チップ110をダイシングして、第1の半導体チップ110を互いに分離する。

【0009】次に、図8に示すように、第1の半導体チップ110と第2の半導体チップ120との間に絶縁性樹脂130を充填した後、第1の半導体チップ110をリードフレームのダイパッド131に樹脂によって固定すると共に、第1の半導体チップ110のボンディングパッド112とリードフレームの外部リード132とをボンディングワイヤ133を介して接続し、その後、第1の半導体チップ110、第2の半導体チップ120、ボンディングワイヤ133、ダイパッド131及び外部リード132の一部を封止用樹脂135によってパッケージすると、従来の半導体装置が得られる。

【0010】

【発明が解決しようとする課題】しかしながら、前記従来の半導体装置の製造方法によると、ウエハ状の第1の半導体チップ110をダイシングする際に使用する純水が第1の半導体チップ110と第2の半導体チップ120との間に侵入するので、侵入した純水をオープン等を

用いて除去する工程が必要になる。また、ウエハ状の第1の半導体チップ110をダイシングする際に供給する純水の水圧により、第1の半導体チップ110と第2の半導体チップ120との接合部が面内方向の剪断力を受けたり、第1の半導体チップ110のダイシング工程において発生したシリコンのくずが第1の半導体チップ110と第2の半導体チップ120との間に侵入したりするので、半導体装置の信頼性が損なわれると共に歩留まりが低下するという第1の問題がある。

10 【0011】ところで、第1のLSIを有する第1の半導体チップ110と第2のLSIを有する第2の半導体チップ120とがバンプ122により接続されてなる半導体装置においては、第1の半導体チップ110の第1の内部電極111の位置と第2の半導体チップ120の第2の内部電極121の位置とを一致させる必要がある。このため、第1の半導体チップ110の第1のLSIに形成されている機能ブロックと第1の内部電極111とを接続する配線、又は、第2の半導体チップ120の第2のLSIに形成されている機能ブロックと第2の内部電極121とを接続する配線の長さが長くなってしま

20 30 40 50 時間の遅延が発生する。
【0012】そこで、第1の半導体チップ110の第1のLSIに形成されている機能ブロックと第1の内部電極111とを接続する配線の長さを短くするべく、第1の内部電極111の位置を第1のLSIに形成されている機能ブロックの位置に近づけて、図10(a)に示すように、第1の半導体チップ110に形成される第1の内部電極111の位置を第1の半導体チップ110の中心部に対してオフセットすることを考慮した。

【0013】ところが、第1の内部電極111の位置を第1の半導体チップ110の中心部に対してオフセットすると、第1の半導体チップ110の中心部の位置と第2の半導体チップ120の中心部の位置とは一致する必要があるため、第2の半導体チップ120の側面から封止用樹脂135の外面までの距離が部位によって異なることになり、第2の半導体チップ120の側方に存在する封止用樹脂135の量が部位によって異なることになる。このため、封止用樹脂135が硬化するときに第2の半導体チップ120の側面に加わる硬化収縮力が側面によって異なる。つまり、封止用樹脂135の量が大きい部分(図10(b)においてAで示す部分)の硬化収縮力は、封止用樹脂135の量が小さい部分(図10

(b)においてBで示す部分)の硬化収縮力よりも大きい。また、半導体装置をプリント基板等を実装する際に封止用樹脂135の温度は上昇するが、この温度上昇に伴う封止用樹脂135の熱膨張によって第2の半導体チップ120の側面に加わる熱応力は側面によって異なる。つまり、封止用樹脂135の量が大きい部分(A)の熱応力は封止用樹脂135の量が小さい部分(B)の

熱応力よりも大きい。従って、第2の半導体チップ120における封止用樹脂135の量が大きい部分(A)と対応する側面(a)に加わる硬化収縮力及び熱応力は、第2の半導体チップ120における封止用樹脂135の量が小さい部分(B)と対応する側面(b)に加わる硬化収縮力及び熱応力よりも大きくなる。このため、第1の半導体チップ110と第2の半導体チップ120との接合部に、硬化収縮力の差及び熱応力の差に起因する剪断力が面内方向に加わるので、半導体装置の信頼性が損なわれると共に歩留まりが低下するという第2の問題がある。

【0014】前記に鑑み、本発明は、ダイシング時に第1の半導体チップと第2の半導体チップとの間に純水が侵入する事態を防止してオープン等による純水の除去工程をなくすと共に、第1の半導体チップをダイシングする際に供給する純水の水圧が第1の半導体チップと第2の半導体チップとの接合部に加わる事態及び第1の半導体チップをダイシングする際に発生する基板のくずが第1の半導体チップと第2の半導体チップとの間に侵入する事態を防止して半導体装置の信頼性及び歩留まりを向上させることを第1の目的とし、第1の半導体チップと第2の半導体チップとの接合部に加わるパッケージの硬化収縮力及び熱応力を低減して半導体装置の信頼性及び歩留まりを向上させることを第2の目的とする。

【0015】

【課題を解決するための手段】前記の第2の目的を達成するため、本発明に係る半導体装置は、第1のLSIを有する第1の半導体チップと、第2のLSIを有すると共に第1の半導体チップよりも小さいチップサイズを有し、第1の半導体チップにフェイスダウン方式で接続された第2の半導体チップと、第1の半導体チップ及び第2の半導体チップを封止しているパッケージとを備えており、第2の半導体チップの互いに隣接する2側辺のうち同じ長さ又は短い方の長さを持つ第1の側辺が延びる第1の方向において、第1の半導体チップの中心部と第2の半導体チップの中心部とは互いにオフセットしていると共に第2の半導体チップの中心部とパッケージの中心部とはほぼ一致している。

【0016】本発明に係る半導体装置によると、第2の半導体チップの互いに隣接する2側辺のうち同じ長さ又は短い方の長さを持つ第1の側辺が延びる第1の方向において、第2の半導体チップの中心部とパッケージの中心部とがほぼ一致しているため、第2の半導体チップの側面からパッケージの外表面までの距離はほぼ等しい。このため、第1の方向においては、パッケージが硬化する際に第2の半導体チップの各側面に加わる硬化収縮力がほぼ等しくなると共にパッケージの熱膨張に伴って第2の半導体チップの各側面に加わる熱応力もほぼ等しくなる。もともと、第1の半導体チップにおける第1の方向の各側面に加わるパッケージの硬化収縮力及び熱応力は

若干異なるが、第1の半導体チップのチップサイズが第2の半導体チップのチップサイズよりも大きいため、第1の方向において、第1の半導体チップの側面に加わるパッケージの硬化収縮力及び熱応力の差は、従来の半導体装置における第2の半導体チップの側面に加わるパッケージの硬化収縮力及び熱応力の差に比べて小さい。

【0017】本発明に係る半導体装置において、第2の半導体チップの互いに隣接する2側辺のうち第1の側辺と異なる第2の側辺が延びる第2の方向において、第1の半導体チップの中心部と第2の半導体チップの中心部とは互いにオフセットしていると共に第2の半導体チップの中心部とパッケージの中心部とはほぼ一致していることが好ましい。

【0018】このようにすると、第2の方向においても、第2の半導体チップの各側面に加わるパッケージの硬化収縮力及び熱応力はほぼ等しくなる。

【0019】前記の第2の目的を達成するため、本発明に係る第1の半導体装置の製造方法は、第1のLSIを有する第1の半導体チップと、第2のLSIを有すると共に前記第1の半導体チップよりも小さいチップサイズを有する第2の半導体チップとをフェイスダウン方式により接続するチップ接続工程と、互いに接続された第1の半導体チップ及び第2の半導体チップをパッケージにより封止するチップ封止工程とを備えており、チップ接続工程は、第2の半導体チップの互いに隣接する2側辺のうち同じ長さ又は短い方の長さを持つ第1の側辺が延びる第1の方向において、第1の半導体チップの中心部と第2の半導体チップの中心部とが互いにオフセットしていると共に第2の半導体チップの中心部とパッケージの中心部とがほぼ一致するように、第1の半導体チップと第2の半導体チップとを接続する工程を含む。

【0020】第1の半導体装置の製造方法によると、チップ接続工程は、第1の方向において第2の半導体チップの中心部とパッケージの中心部とがほぼ一致するように、第1の半導体チップと第2の半導体チップとを接続する工程を含むため、得られる半導体装置においては、第1の方向において、第2の半導体チップの各側面に加わるパッケージの硬化収縮力及び熱応力はほぼ等しくなる。

【0021】第1の半導体装置の製造方法において、チップ接続工程は、第2の半導体チップの互いに隣接する2側辺のうち第1の側辺と異なる第2の側辺が延びる第2の方向において、第1の半導体チップの中心部と第2の半導体チップの中心部とが互いにオフセットしていると共に第2の半導体チップの中心部とパッケージの中心部とがほぼ一致するように、第1の半導体チップと第2の半導体チップとを接続する工程を含むことが好ましい。

【0022】このようにすると、得られる半導体装置においては、第2の方向においても、第2の半導体チップ

10

20

30

40

50

の各側面に加わるパッケージの硬化収縮力及び熱応力はほぼ等しくなる。

【0023】前記の第1の目的を達成するため、本発明に係る第2の半導体装置の製造方法は、第1のLSIを有する第1の半導体チップと、第2のLSIを有すると共に第1の半導体チップよりも小さいチップサイズを有する第2の半導体チップとがフェイスダウン方式により接続されてなる半導体装置の製造方法を対象とし、複数の第2の半導体チップが形成されている半導体ウエハをダイシングして、複数の第2の半導体チップを互いに分離する第1のチップ分離工程と、互いに分離された複数の第2の半導体チップを、複数の第1の半導体チップが形成されている半導体ウエハにおける複数の第1の半導体チップにフェイスダウン方式によりそれぞれ接続するチップ接続工程と、互いに接続された複数の第1の半導体チップと複数の第2の半導体チップとの間に絶縁性樹脂をそれぞれ充填する樹脂充填工程と、複数の第1の半導体チップが形成されている半導体ウエハをダイシングして、複数の第1の半導体チップを互いに分離する第2のチップ分離工程とを備えている。

【0024】第2の半導体装置の製造方法によると、第1の半導体チップと第2の半導体チップとの間に絶縁性樹脂を充填した後に、第1の半導体チップが形成されている半導体ウエハをダイシングして、第1の半導体チップを互いに分離するため、ダイシング工程で使用する純水が第1の半導体チップと第2の半導体チップとの間に侵入しないせず、ダイシング時の水圧が第2の半導体チップに対して側方から加わっても、第1の半導体チップと第2の半導体チップとの接合部が損なわれることがなく、また、ダイシング時に発生する基板のくずが第1の半導体チップと第2の半導体チップとの間に入り込むことがない。

【0025】第2の半導体装置の製造方法において、樹脂充填工程と第2のチップ分離工程との間に、第2の半導体チップにおける第1の半導体チップと対向する面と反対側の面を研磨するチップ研磨工程をさらに備えていることが好ましい。

【0026】第2の半導体装置の製造方法において、樹脂充填工程と第2のチップ分離工程との間に、第1の半導体チップにおける第2の半導体チップと対向する面に第2の半導体チップを囲む樹脂層を形成した後、第2の半導体チップにおける第1の半導体チップと対向する面と反対側の面を研磨するチップ研磨工程をさらに備えていることが好ましい。

【0027】

【発明の実施の形態】

(第1の実施形態) 以下、本発明の第1の実施形態に係る半導体装置の製造方法について、図1(a)～(c)及び図2(a)～(c)を参照しながら説明する。

【0028】まず、図1(a)に示すように、第1の半

導体ウエハ上に形成されており、それぞれが第1のLSIを有する複数の第1の半導体チップ10の上に、アルミニウムよりなる第1の内部電極11及びボンディングパッド12をそれぞれ形成する。また、第2の半導体ウエハ上に形成されており、それぞれが第2のLSIを有すると共に第1の半導体チップ10よりも小さいチップサイズを有する複数の第2の半導体チップ20の上にアルミニウムよりなる第2の内部電極21を形成した後、各第2の内部電極21の上に半田よりなるバンプ22を形成する。

【0029】バンプ22の材料としては、Au、In、In-Sn、Pb-Sn、Cu又はNi等の金属を用いることができ、バンプ22の大きさとしては、径が1μm～100μm、高さが1μm～50μm程度のものを用いることができる。また、アルミニウムよりなる第2の内部電極21の上に、無電解鍍金法等によりNi/Au等の図示しないバリアメタル層を形成した後、該バリアメタル層の上に、電鍍金法、無電解鍍金法、ディッピング法又は転写法等によりバンプ22を形成することができる。

【0030】また、第2の半導体チップ20の第2の内部電極21の上にバンプ22を形成する代わりに、第1の半導体チップ10の第1の内部電極11の上にバンプを形成してもよい。

【0031】次に、第2の半導体チップ20が形成されている第2の半導体ウエハをダイシングして、複数の第2の半導体チップ20を互いに分離した後、第1の半導体チップ10における第2の半導体チップ20の搭載領域に、例えば紫外線硬化性のエポキシ樹脂よりなる絶縁性樹脂30を塗布する。

【0032】絶縁性樹脂30としては、紫外線硬化性のエポキシ樹脂に代えて、熱硬化性、紫外線硬化性又は常温硬化性の、エポキシ樹脂、アクリル樹脂、ポリイミド樹脂又はウレタン樹脂等を用いることができる。また、絶縁性樹脂30の塗付方法については、ディスペンス法、印刷法又はスタンピング法等を適宜用いることができる。

【0033】尚、絶縁性樹脂30を第1の半導体チップ10における第2の半導体チップ20の搭載領域に塗布したが、これに代えて、第2の半導体チップ20に塗布してもよい。

【0034】次に、第2の半導体チップ20をウエハ状の第1の半導体チップ10の上に配置すると共に、第2の半導体チップ20のバンプ22と第1の半導体チップ10の第1の内部電極11とを位置合わせした後、第2の半導体チップ20を第1の半導体チップ10に接近させて、第2の半導体チップ20のバンプ22と第1の半導体チップ10の第1の内部電極11とを接触させる。

【0035】尚、第1の半導体チップ10に絶縁性樹脂30を塗布してから、第2の半導体チップ20のバンプ

22と第1の半導体チップ10の第1の内部電極11とを接触させたが、これに代えて、第2の半導体チップ20の bumps 22と第1の半導体チップ10の第1の内部電極11とを接触させてから、第1の半導体チップ10と第2の半導体チップ20との間に絶縁性樹脂30を充填してもよい。

【0036】次に、図1(b)に示すように、加圧ツール40により第2の半導体チップ20を第1の半導体チップ10に対して押圧して、第2の半導体チップ20の bumps 22と第1の半導体チップ10の第1の内部電極11とを接合させると共に、絶縁性樹脂30を第1の半導体チップ10と第2の半導体チップ20と間に押し広げる。このようにすると、第1の半導体チップ10と第2の半導体チップ20とは絶縁性樹脂30の粘性によって仮固定される。加圧ツール40による加圧力は、1個の bumps 22当たり0.1g~20gの荷重が適当であって、この荷重の大きさとしては、第1の半導体チップ10の第1の内部電極11が損傷したり、該第1の内部電極11の下側に形成されているトランジスタや配線の特性が変化したりしない程度に設定する。

【0037】次に、絶縁性樹脂30に対して紫外線41を第1の半導体チップ10の周辺から照射して絶縁性樹脂30を硬化させることにより、第1の半導体チップ10と第2の半導体チップ20とを一体化する。紫外線41のエネルギー量としては、絶縁性樹脂30の種類にもよるが、通常は、200mJ~5000mJの照射量の紫外線41を数秒間照射する。その後、加圧ツール40による加圧を解除して常温又は加熱下において保持すると、絶縁性樹脂30は硬化する。このような工程をすべての第2の半導体チップ20に対して行なうと、すべての第2の半導体チップ20をウエハ状態の第1の半導体チップ10と一体化する。

【0038】尚、絶縁性樹脂30が熱硬化性の場合には、加圧ツール40を介して絶縁性樹脂30を加熱することにより絶縁性樹脂30を硬化させる。この場合の加熱条件としては、通常、70℃~250℃程度の温度下で数秒~数十秒間加熱した後、加圧ツール40による加圧を解除する。

【0039】また、加圧ツール40による第2の半導体チップ20に対する加圧工程及び絶縁性樹脂30の硬化工程については、第2の半導体チップ20毎に加圧と硬化とを交互に行なってもよいし、複数の第2の半導体チップ20に対して加圧を行なった後、複数の絶縁性樹脂30を同時に硬化させてもよい。

【0040】次に、図1(c)に示すように、第1の半導体チップ10のボンディングパッド12にプローバーのプローブ端子42を接触させて、第1の半導体チップ10の第1のLSI及び第2の半導体チップ20の第2のLSIの電気特性の検査を同時に行なう。

【0041】次に、図2(a)に示すように、ダイヤモンド

ホイール43を回転させながら、複数の第2の半導体チップ20の裏面を同時に研磨する。この場合、第2の半導体チップ20は、ウエハ状態の第1の半導体チップ10に対して絶縁性樹脂30により強固に固定されており、機械的強度が大きくなっているため、当初の厚さが400~680μmである第2の半導体チップ20を10μm程度の薄さにまで研磨することができる。

【0042】尚、ダイヤモンドホイール43による研磨に代えて、アルミナによる研磨、又は、研磨領域以外の領域をレジスト若しくはワックスにより覆った状態で化学的な研磨を行なってもよい。

【0043】また、第2の半導体チップ20に対する研磨に加えて、ウエハ状態の第1の半導体チップ10に対する研磨を行なってもよい。この場合、第2の半導体チップ20が絶縁性樹脂30によって第1の半導体チップ10に固定されているため、ウエハ状態の第1の半導体チップ10の剛性が増しているため、第1の半導体チップ10を従来よりも薄く研磨することができる。このように第1の半導体チップ10及び第2の半導体チップ20に対して研磨を行なうと、第1の半導体チップ10及び第2の半導体チップ20よりなる半導体装置の厚さを一層薄くすることができる。もっとも、第1の半導体チップ10を余り薄く研磨し過ぎると、後に行なう第1の半導体ウエハに対するダイシング工程において、第1の半導体チップ10が損傷する恐れがあるので、第1の半導体チップ10に対する研磨量には限界がある。これに対して、既にダイシングにより分離されている第2の半導体チップ20に対しては最大限まで研磨することが可能である。

【0044】次に、図2(b)に示すように、第1の半導体チップ10が形成されている第1の半導体ウエハに対してダイシングを行なう。

【0045】次に、図2(c)に示すように、分離された第1の半導体チップ10をリードフレームのダイパッド31に樹脂によって固定すると共に、第1の半導体チップ10のボンディングパッド12とリードフレームの外部リード32とをボンディングワイヤ33を介して接続する。その後、第1の半導体チップ10、第2の半導体チップ20、ボンディングワイヤ33、ダイパッド31及び外部リード32の一部を封止用樹脂35によってパッケージすると、第1の半導体チップ10と第2の半導体チップ20とが一体化されてなるLSI半導体装置が得られる。

【0046】第1の実施形態に係る半導体装置の製造方法によると、第2の半導体チップ20とウエハ状態の第1の半導体チップ10との間に絶縁性樹脂30を充填した後に、第1の半導体チップ10に対してダイシングを行なうため、以下に説明するような効果が得られる。

【0047】まず、ダイシング工程で使用する純水が第1の半導体チップ10と第2の半導体チップ20との間

に侵入しないため、チップ間に侵入した純水をオープン等で蒸発させる工程を低減することができる。もっとも、第1の半導体チップ10及び第2の半導体チップ20に付着している純水を吹き飛ばす工程は必要であるが、純水を吹き飛ばす工程に要する時間は、1枚の半導体ウエハを切断するのに要する時間と同程度であるので、特に問題にはならない。

【0048】また、第1の半導体チップ10に対するダイシング時の水圧が第2の半導体チップ20に対して側方から加わっても、第2の半導体チップ20はウエハ状態の第1の半導体チップ10に絶縁性樹脂30により固定されているため、第1の半導体チップ10と第2の半導体チップ20との接合部が損なわれることがないので、半導体装置の信頼性及び歩留まりが向上する。

【0049】また、第1の半導体チップ10に対するダイシングにより発生するシリコンのくずが第1の半導体チップ10と第2の半導体チップ20との間に入り込む事態を回避することもできる。

【0050】また、第1の実施形態においては、第2の半導体チップ20が第1の半導体チップ10に接合された状態で電気特性の検査を完了しているため、検査の結果良品と判別された半導体チップのみを封止用樹脂30によりパッケージできるので、つまり、不良の半導体チップをパッケージする必要がないので、パッケージ工程におけるコストを低減することができる。

【0051】また、第1の実施形態においては、ウエハ状態の第1の半導体チップ10のボンディングパッド12にプローブ端子42を接触させて電気的特性の検査を行なうため、複数の半導体チップに対して同時に検査できるので、検査工程に要する時間を低減することができる。尚、電気的特性の検査は、第1の半導体チップ10と第2の半導体チップ20との間に絶縁性樹脂30を充填する工程よりも前でもよいし後でもよい。

【0052】(第2の実施形態)以下、本発明の第2の実施形態に係る半導体装置の製造方法について、図3(a)～(c)及び図4(a)～(b)を参照しながら説明する。

【0053】第1の実施形態と同様、図3(a)に示すように、第1のLSIを有する第1の半導体チップ10の上に第1の内部電極11及びボンディングパッド12を形成すると共に、第2のLSIを有する第2の半導体チップ20の上に第2の内部電極21を形成した後、該第2の内部電極21の上に bumps 22 を形成する。その後、第2の半導体チップ20が形成されている第2の半導体ウエハをダイシングして、第2の半導体チップ20を互いに分離した後、第1の半導体チップ10における第2の半導体チップ20の搭載領域に絶縁性樹脂30を塗布する。その後、第2の半導体チップ20の bumps 22 と第1の半導体チップ10の第1の内部電極11とを接触させる。

【0054】次に、図3(b)に示すように、加圧ツール40により第2の半導体チップ20を第1の半導体チップ10に対して押圧して、第2の半導体チップ20の bumps 22 と第1の半導体チップ10の第1の内部電極11とを接合させると共に、絶縁性樹脂30を第1の半導体チップ10と第2の半導体チップ20と間に押し広げる。その後、絶縁性樹脂30に対して紫外線41を照射して絶縁性樹脂30を硬化させることにより、第1の半導体チップ10と第2の半導体チップ20とを一体化する。

【0055】次に、図3(c)に示すように、第1の半導体チップ10のボンディングパッド12にプローバーのプローブ端子42を接触させて、第1の半導体チップ10の第1のLSI及び第2の半導体チップ20の第2のLSIの電気特性の検査を同時に行なう。

【0056】次に、図4(a)に示すように、ウエハ状態の第1の半導体チップ10の上に全面に亘ってチップ保持用樹脂44を第2の半導体チップ20と同程度の高さまで堆積した後、ダイヤモンドホイール43を回転させながら、複数の第2の半導体チップ20の裏面を同時に研磨する。この場合、第2の半導体チップ20が絶縁性樹脂30及びチップ保持用樹脂44によってウエハ状態の第1の半導体チップ10に固定されているので、第2の半導体チップ20に対する研磨をより確実に行なうことができる。第2の半導体チップ20に対する研磨が完了すると、チップ保持用樹脂44を溶液により除去する。チップ保持用樹脂44を溶液により除去する際に絶縁性樹脂30が除去されないよう、チップ保持用樹脂44としては絶縁性樹脂30と異なる種類の樹脂を用いると共に、溶液としてはチップ保持用樹脂44を溶解する一方、絶縁性樹脂30を溶解しないようなものを用いる。

【0057】次に、図4(b)に示すように、第1の半導体チップ10が形成されている第1の半導体ウエハに対してダイシングを行なった後、分離された第1の半導体チップ10をリードフレームのダイパッド31に固定すると共に、第1の半導体チップ10のボンディングパッド12とリードフレームの外部リード32とをボンディングワイヤ33を介して接続し、その後、第1の半導体チップ10、第2の半導体チップ20、ボンディングワイヤ33、ダイパッド31及び外部リード32の一部を封止用樹脂35によってパッケージすると、図4(c)に示すような半導体装置が得られる。

【0058】(第3の実施形態)以下、本発明の第3の実施形態に係る半導体装置及びその製造方法について、図5(a)～(c)及び図6(a)、(b)を参照しながら説明する。

【0059】第1の実施形態と同様、図5(a)に示すように、第1のLSIを有する正方形の第1の半導体チップ10の上に第1の内部電極11及びボンディングパッ

ド12を形成すると共に、第2のLSIを有すると共に第1の半導体チップ10よりも小さいチップサイズを有する正方形の第2の半導体チップ20の上に第2の内部電極21を形成した後、該第2の内部電極21の上にバンプ22を形成する。この場合、第1のLSIの機能ブロックと第1の内部電極11との距離を短くして、第1のLSIにおける信号遅延時間を短縮するべく、第1の内部電極11は第1の半導体チップ10の中心部に対して例えば左側にオフセットしている。

【0060】次に、第2の半導体チップ20が形成されている第2の半導体ウエハをダイシングして、第2の半導体チップ20を互いに分離した後、第1の半導体チップ10における第2の半導体チップ20の搭載領域に絶縁性樹脂30を塗布する。第1の内部電極11が第1の半導体チップ10の中心部に対して左側にオフセットしているため、絶縁性樹脂30の塗布領域も第1の半導体チップ10の中心部に対して左側にオフセットしている。

【0061】次に、第2の半導体チップ20をウエハ状の第1の半導体チップ10の上に配置すると共に、第2の半導体チップ20のバンプ22と第1の半導体チップ10の第1の内部電極11とを位置合わせした後、第2の半導体チップ20のバンプ22と第1の半導体チップ10の第1の内部電極11とを接触させる。このようにすると、第2の半導体チップ20の中心部は第1の半導体チップ10の中心部に対して左側にオフセットしている。

【0062】次に、図5(b)に示すように、加圧ツール40により第2の半導体チップ20を第1の半導体チップ10に対して押圧して、第2の半導体チップ20のバンプ22と第1の半導体チップ10の第1の内部電極11とを接合させると共に、絶縁性樹脂30を第1の半導体チップ10と第2の半導体チップ20と間に押し広げる。その後、絶縁性樹脂30に対して紫外線41を照射して絶縁性樹脂30を硬化させることにより、第1の半導体チップ10と第2の半導体チップ20とを一体化する。

【0063】次に、図5(c)に示すように、第1の半導体チップ10のボンディングパッド12にプローバのプローブ端子42を接触させて、第1の半導体チップ10の第1のLSI及び第2の半導体チップ20の第2のLSIの電気特性の検査を同時に行なう。その後、図示は省略しているが、複数の第2の半導体チップ20の裏面に対して研磨を行なう。

【0064】次に、図6(a)に示すように、第1の半導体チップ10が形成されている第1の半導体ウエハに対してダイシングを行なって、第1の半導体チップ10を分離する。その後、分離された第1の半導体チップ10をリードフレームのダイパッド31に固定すると共に、第1の半導体チップ10のボンディングパッド12と

リードフレームの外部リード32とをボンディングワイヤ33を介して接続する。その後、図6(b)に示すように、第1の半導体チップ10、第2の半導体チップ20、ボンディングワイヤ33、ダイパッド31及び外部リード32の一部を正方形の封止用樹脂35によってパッケージする。この場合、第2の半導体チップ20の中心部と封止用樹脂35の中心部とがほぼ一致している一方、第1の半導体チップ10の中心部は封止用樹脂35の中心部に対して右側にオフセットするようにパッケージする。

【0065】尚、第1の半導体チップ10をリードフレームのダイパッド31に固定する方法としては、次の2つの方法を適宜選択することができる。すなわち、リードフレームのインナリードの長さを左右で異ならせて、ダイパッド31がリードフレームの中心部に対して右側にオフセットするように設けておき、第1の半導体チップ10を、その中心部とダイパッド31の中心部とが一致するように載置してもよいし、図6(b)に示すように、ダイパッド31がリードフレームの中心部に位置するように設けておき、第1の半導体チップ10を、その中心部がダイパッド31の中心部に対して右側にオフセットするように載置してもよい。

【0066】第1の半導体チップ10の中心部と封止用樹脂35の中心部とのオフセット量については、例えば次のように設定することができる。すなわち、第1の半導体チップ10の大きさが10mm角、第2の半導体チップ20の大きさが4mm角、封止用樹脂35の大きさが16mm角の場合、第2の半導体チップ20の中心部を封止用樹脂35の中心部と一致させる一方、第1の半導体チップ10の中心部を封止用樹脂35の中心部に対して1mmオフセットさせる。このようにすると、第1の半導体チップ10の側面から封止用樹脂35の側面までの距離は、それぞれ2mm及び4mmとなる。

【0067】第3の実施形態に係る半導体装置によると、第2の半導体チップ20の中心部と封止用樹脂35の中心部とがほぼ一致しているため、第2の半導体チップ20の側面から封止用樹脂35の外表面までの距離は左右において等しい。このため、封止用樹脂35が硬化するときに第2の半導体チップ20の側面に加わる硬化収縮力は左右両側において等しくなると共に、封止用樹脂35の熱膨張に伴って第2の半導体チップ20の側面に加わる熱応力も左右両側において等しくなる。

【0068】もっとも、第1の半導体チップ10の中心部が封止用樹脂35の中心部に対してオフセットしているため、封止用樹脂35が硬化するときに第1の半導体チップ10の側面に加わる硬化収縮力は左右両側において異なると共に、封止用樹脂35の熱膨張に伴って第1の半導体チップ10の側面に加わる熱応力も左右両側において異なる。

【0069】しかしながら、第1の半導体チップ10の

チップサイズは第2の半導体チップ20のチップサイズよりも大きいので、第1の半導体チップ10の側方に存在する封止用樹脂30の量は、第2の半導体チップ20の側方に存在する封止用樹脂30の量に比べて少ないので、第1の半導体チップ10の左右の側面に加わる封止用樹脂35の硬化収縮力及び熱応力の差は、図10に示した従来の半導体装置における第2の半導体チップ120の左右の側面に加わる封止用樹脂135の硬化収縮力及び熱応力の差に比べて小さい。従って、第1の半導体チップ10と第2の半導体チップ20との接合部に、封止用樹脂35の硬化収縮力及び熱応力の差に起因して第1の半導体チップ10と第2の半導体チップ20との接合部に面内方向から加わる剪断力は従来に比べて低減している。

【0070】第3の実施形態においては、第1の半導体チップ10、第2の半導体チップ20及び封止用樹脂30の平面形状は、それぞれ正方形であったが、図7に示すように、矩形状であってもよい。第2の半導体チップ20が矩形状の場合には、第2の半導体チップ20の短辺が延びる方向において、第1の半導体チップ10の中心部と第2の半導体チップ20の中心部とが互いにオフセットしていると共に、第2の半導体チップ20の中心部と封止用樹脂30の中心部とがほぼ一致していることが好ましい。すなわち、図7における X_1 と X_2 とが等しいことが好ましい。このようにすると、第2の半導体チップ20における図7の左右両側の側面に加わる封止用樹脂30の硬化収縮力及び熱応力の差はなくなる。この場合には、図7における Y_1 と Y_2 とは異なるが、図7の上下方向に存在する封止用樹脂30の量は図7における左右方向に存在する封止用樹脂30の量に比べて少ないので、第2の半導体チップ20の短辺側の側面に加わるパッケージの硬化収縮力及び熱応力の差の影響は少ない。もっとも、第2の半導体チップ20が矩形状の場合には、第2の半導体チップ20の長辺が延びる方向においても、第2の半導体チップ20の中心部と封止用樹脂30の中心部とがほぼ一致していること、つまり Y_1 と Y_2 とが等しいことが好ましいのは当然である。

【0071】尚、前記第1～第3の実施形態においては、半導体装置のパッケージの型式については、特に限定されず、QFPタイプ、PGAタイプ又はBGAタイプ等を適宜採用できると共に、パッケージの材料としては、封止用樹脂に代えて封止用セラミック等を適宜用いることができる。

【0072】

【発明の効果】本発明に係る半導体装置によると、第2の半導体チップの互いに隣接する2側辺のうち同じ長さ又は短い方の長さを持つ第1の側辺が延びる第1の方向において、第2の半導体チップの中心部とパッケージの中心部とがほぼ一致しているため、パッケージの硬化収縮力及び熱応力の差に起因して第1の半導体チップと第

2の半導体チップとの接合部に面内方向から加わる剪断力は従来に比べて低減するので、半導体装置の信頼性及び歩留まりは向上する。

【0073】本発明に係る半導体装置において、第2の半導体チップの互いに隣接する2側辺のうち第1の側辺と異なる第2の側辺が延びる第2の方向において、第2の半導体チップの中心部とパッケージの中心部とがほぼ一致していると、第2の方向においても、第2の半導体チップの各側面に加わるパッケージの硬化収縮力及び熱応力の差が従来に比べて低減するので、半導体装置の信頼性及び歩留まりは一層向上する。

【0074】本発明に係る第1の半導体装置の製造方法によると、チップ接続工程が、第1の方向において、第1の半導体チップの中心部と第2の半導体チップの中心部とが互いにオフセットしていると共に第2の半導体チップの中心部とパッケージの中心部とがほぼ一致するように、第1の半導体チップと第2の半導体チップとを接続する工程を含むため、得られる半導体装置においては、第1の半導体チップと第2の半導体チップとの接合部に面内方向から加わる剪断力が従来に比べて低減するので、半導体装置の信頼性及び歩留まりは向上する。

【0075】第1の半導体装置の製造方法において、チップ接続工程が、第2の半導体チップの第2の側辺が延びる第2の方向において、第1の半導体チップの中心部と第2の半導体チップの中心部とが互いにオフセットしていると共に第2の半導体チップの中心部とパッケージの中心部とがほぼ一致するように、第1の半導体チップと第2の半導体チップとを接続する工程を含むと、第1の半導体チップと第2の半導体チップとの接合部に面内方向から加わる剪断力が従来に比べて一層低減するので、半導体装置の信頼性及び歩留まりは一層向上する。

【0076】第2の半導体装置の製造方法によると、ダイシング工程で使用する純水が第1の半導体チップと第2の半導体チップとの間に侵入しないので、第1の半導体チップと第2の半導体チップとの間に侵入した純水をオープン等で蒸発させる工程が不要になるので、工程及びコストを低減することができる。また、ダイシング時の水圧により第1の半導体チップと第2の半導体チップとの接合部が損なわれることがないと共に、ダイシング時に発生する基板のくずが第1の半導体チップと第2の半導体チップとの間に入り込むことがないので、半導体装置の信頼性及び歩留まりは向上する。

【0077】第2の半導体装置の製造方法において、樹脂充填工程と第2のチップ分離工程との間に第2の半導体チップを研磨するチップ研磨工程を備えていると、第2の半導体チップは、ウエハ状態の第1の半導体チップに対して絶縁性樹脂により強固に固定された状態で研磨されるため、機械的強度が大きくなって研磨が安定すると共に、第2の半導体チップを従来に比べて薄く研磨できるので、第1の半導体チップと第2の半導体チップと

が一体化されてなる超薄型の L S I 半導体装置を得ることができる。

【0078】第2の半導体装置の製造方法において、樹脂充填工程と第2のチップ分離工程との間に、第2の半導体チップを囲む樹脂層を形成した後、第2の半導体チップを研磨するチップ研磨工程を備えていると、機械的強度が一層大きくなって研磨が一層安定すると共に、第2の半導体チップを従来に比べて一層薄く研磨できるので、一層薄い L S I 半導体装置を得ることができる。

【図面の簡単な説明】

【図1】(a)～(c)は、本発明の第1の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図2】(a)～(c)は、前記第1の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

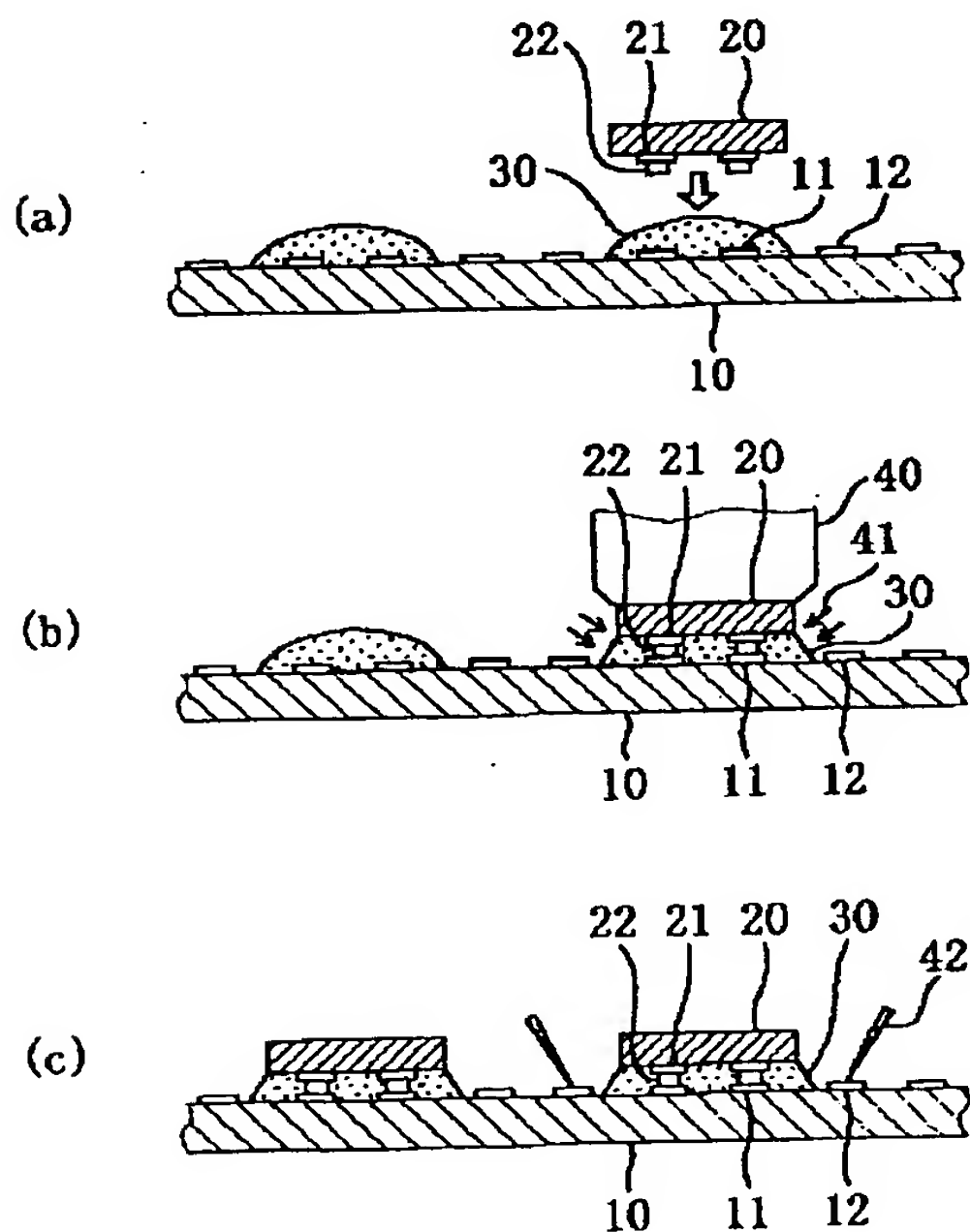
【図3】(a)～(c)は、本発明の第2の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図4】(a)～(c)は、前記第2の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

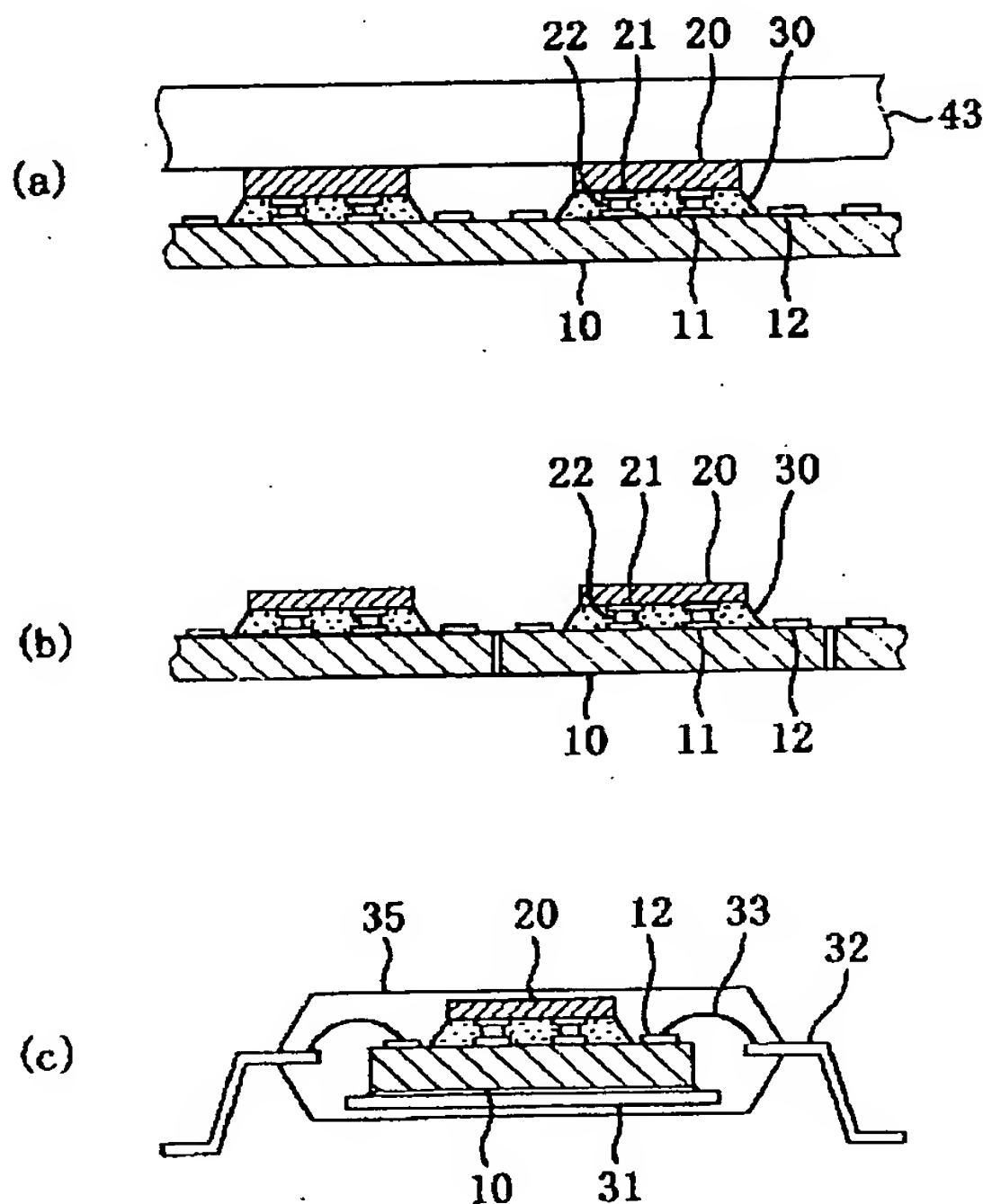
【図5】(a)～(c)は、本発明の第3の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図6】(a)、(b)は、前記の第3の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図1】



【図2】



【図7】前記第3の実施形態に係る半導体装置の製造方法により得られる半導体装置の変形例を示す平面図である。

【図8】従来の半導体装置の断面図である。

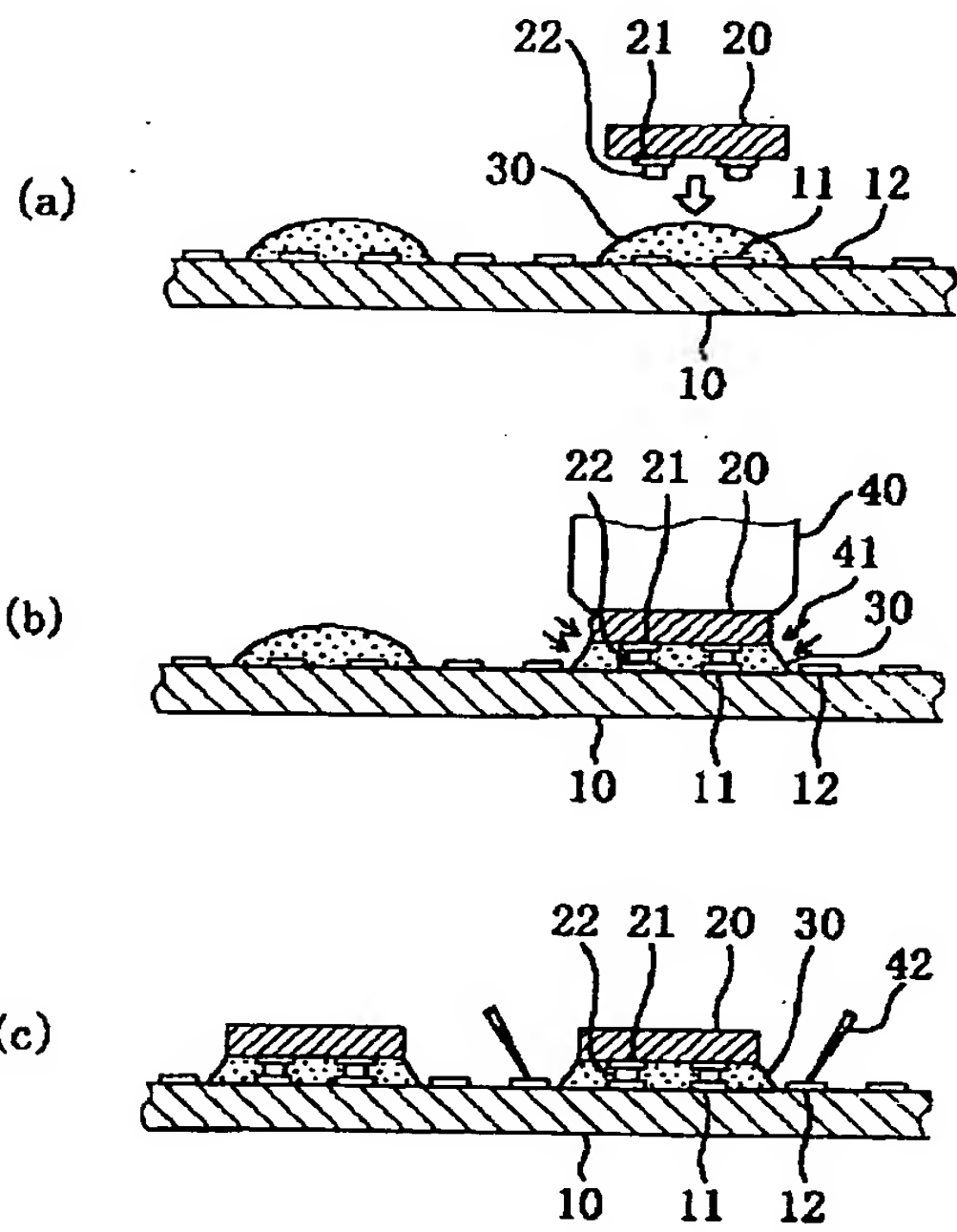
【図9】従来の半導体装置の一工程を示す断面図である。

【図10】本発明の前提となる半導体装置の断面図である。

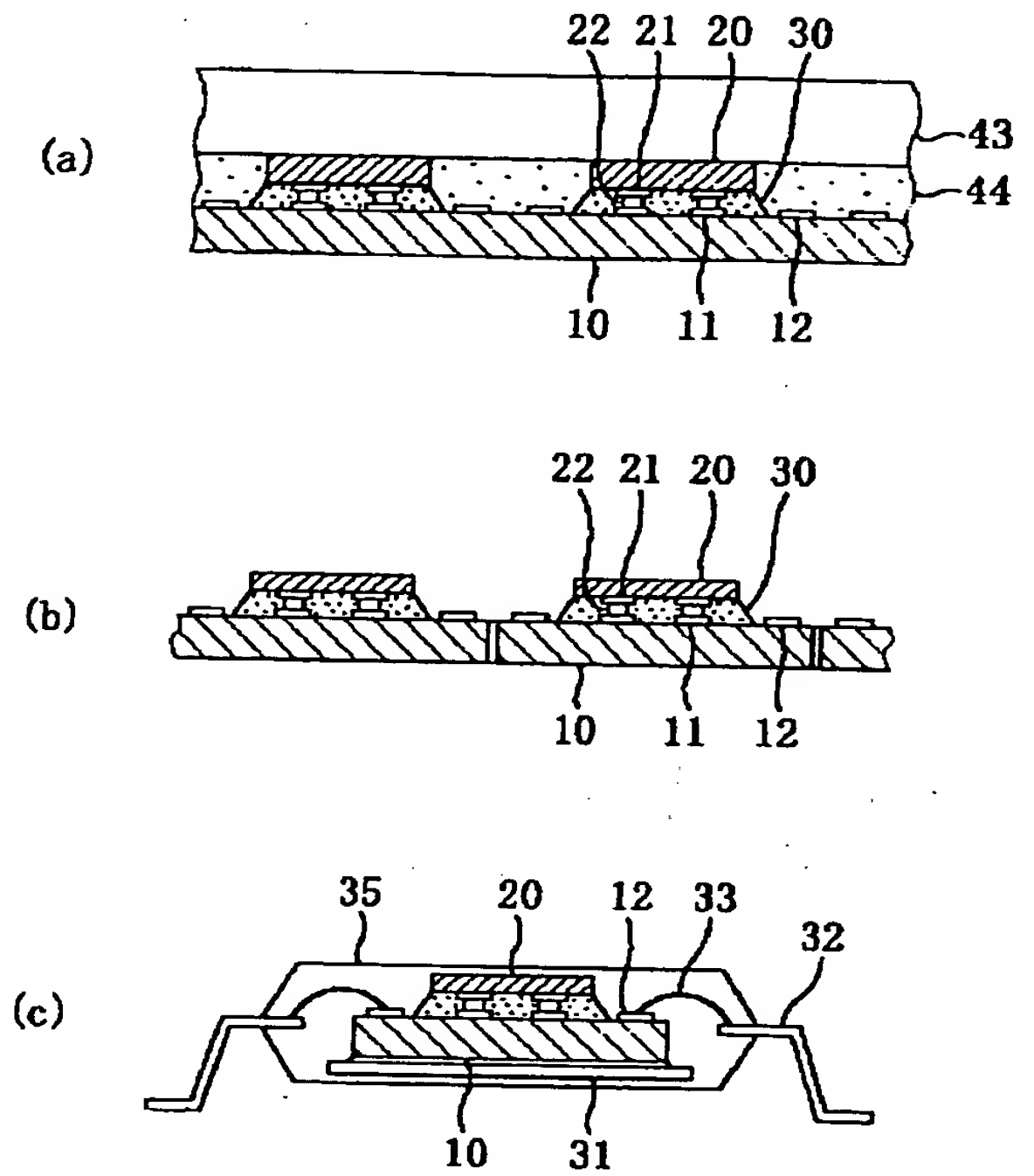
【符号の説明】

- | | |
|----|------------|
| 10 | 第1の半導体チップ |
| 11 | 第1の内部電極 |
| 12 | ボンディングパッド |
| 20 | 第2の半導体チップ |
| 21 | 第2の内部電極 |
| 22 | バンプ |
| 30 | 絶縁性樹脂 |
| 31 | ダイパッド |
| 32 | 外部リード |
| 33 | ボンディングワイヤ |
| 20 | 35 封止用樹脂 |
| 40 | 加圧ツール |
| 41 | 紫外線 |
| 42 | プローブ端子 |
| 43 | ダイヤモンドホイール |
| 44 | チップ保持用樹脂 |

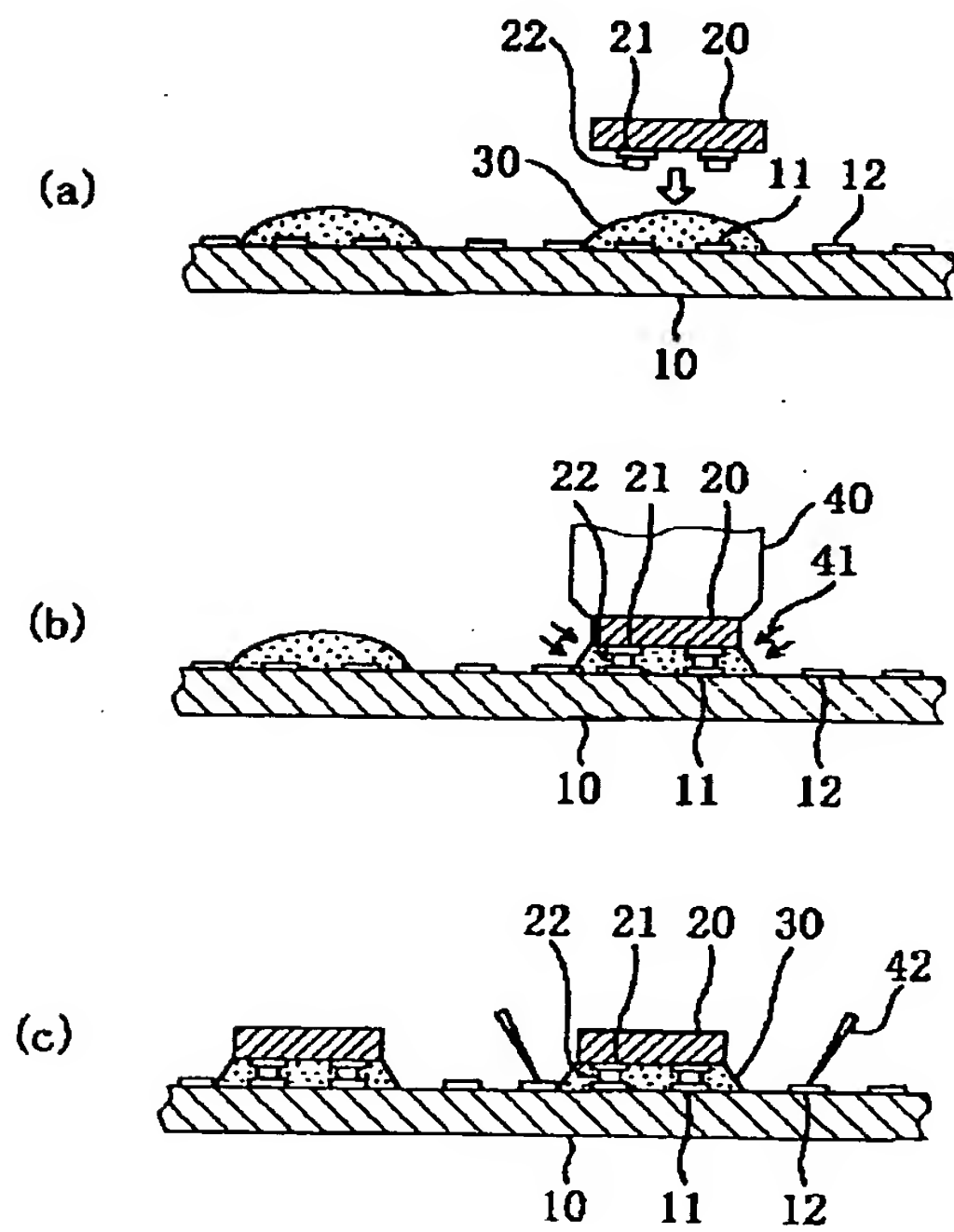
【図3】



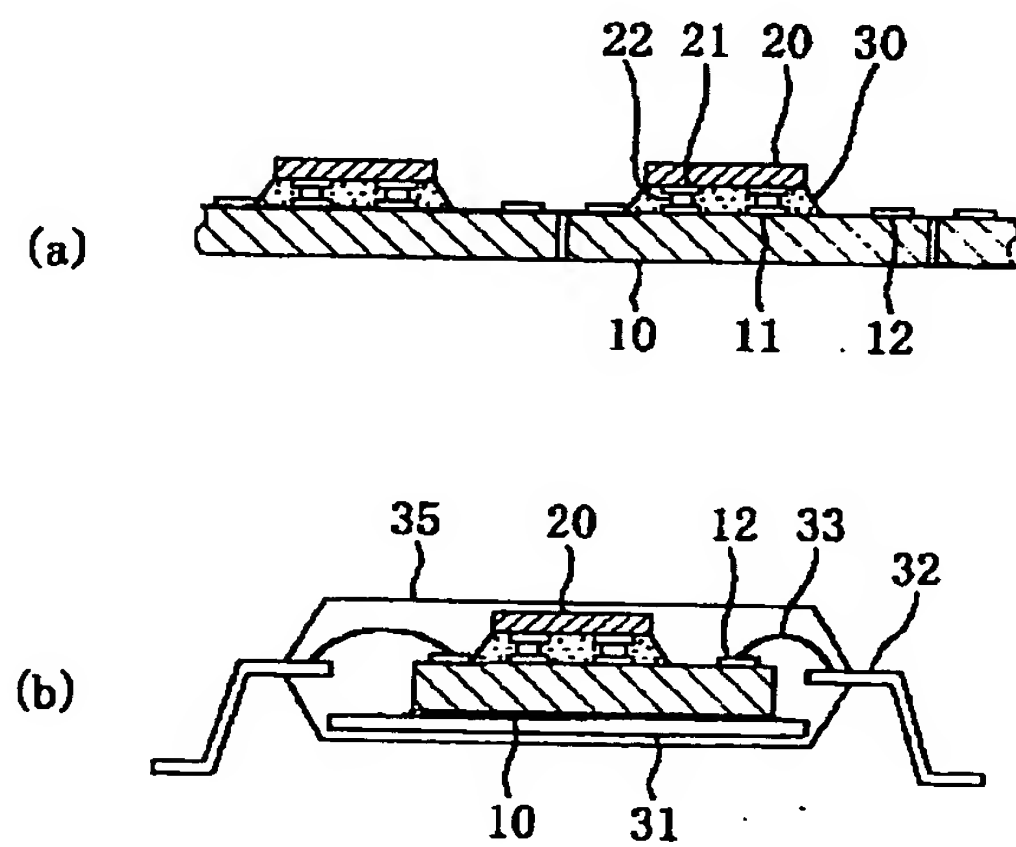
【図4】



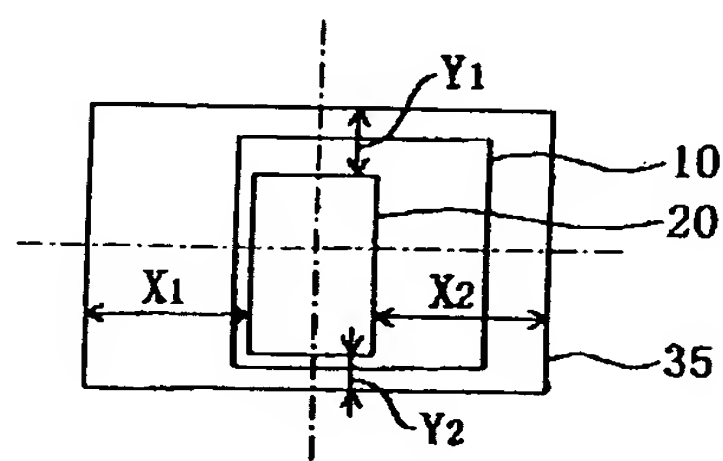
【図5】



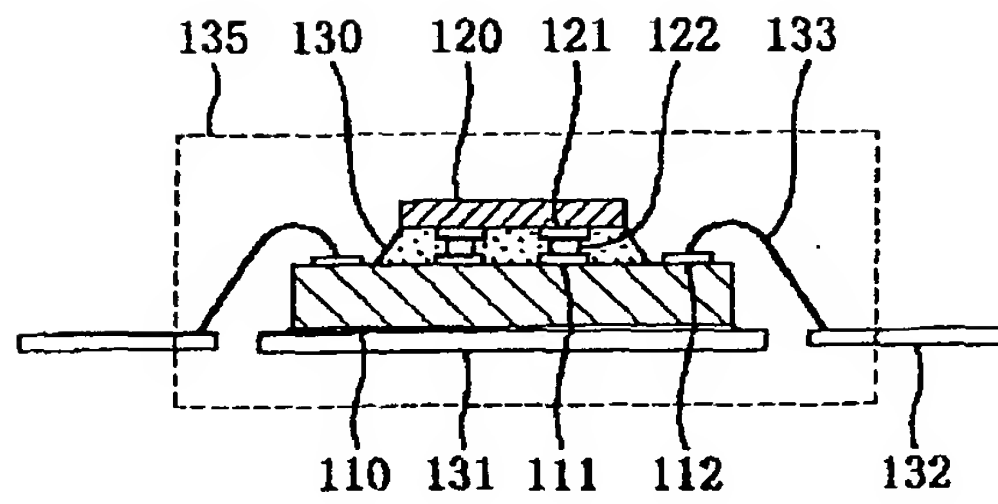
【図6】



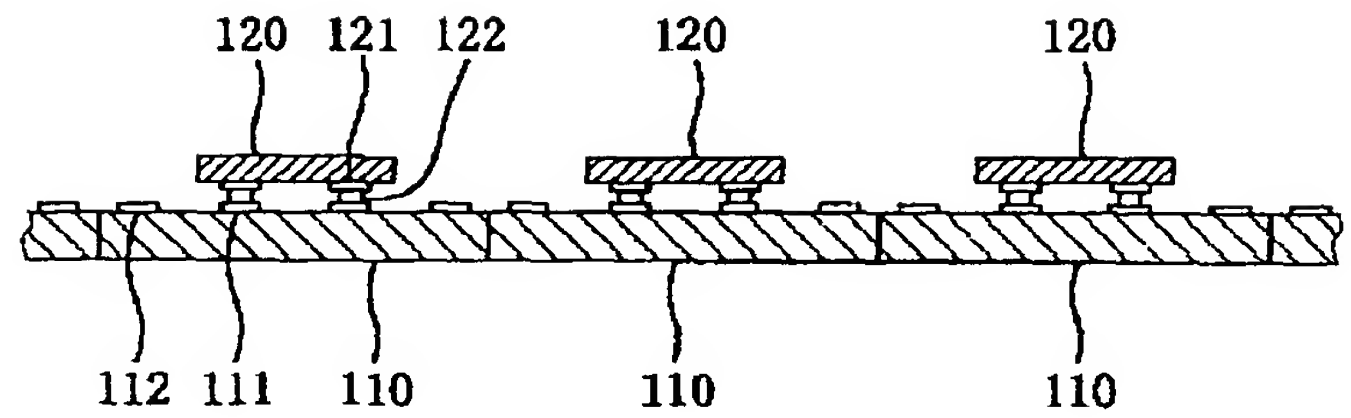
【図7】



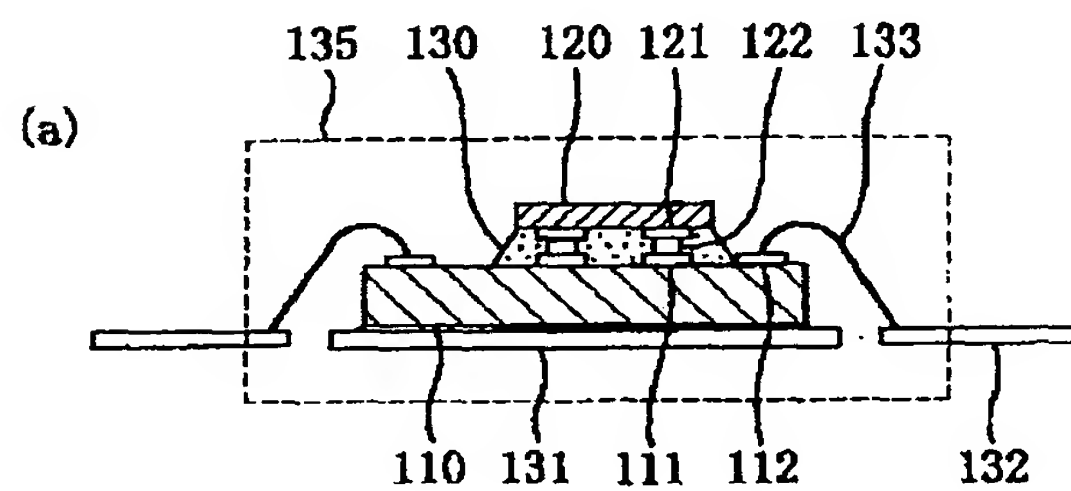
【図 8】



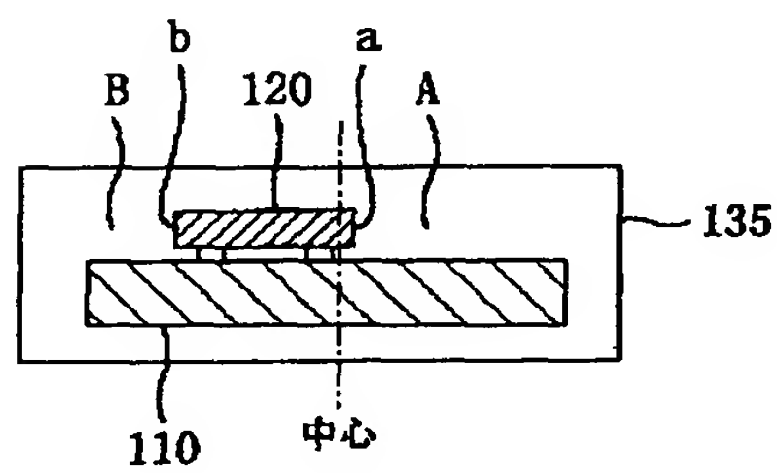
【図 9】



【図 10】



(b)



フロントページの続き

(51)Int.Cl.⁶

H01L 21/60

21/66

識別記号

311

片内整理番号

F I

技術表示箇所